

1/5/1
DIALOG(R) File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

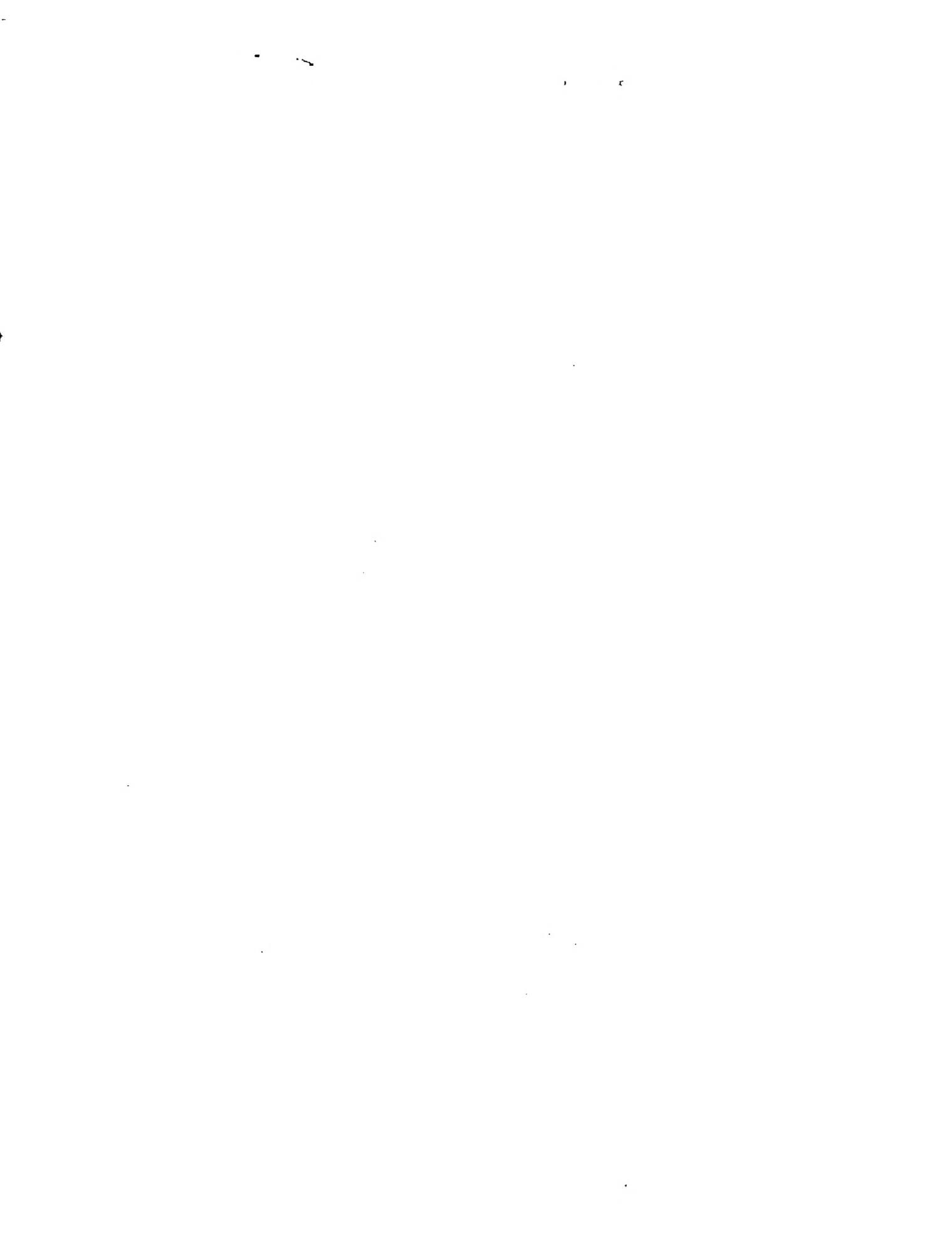
05852052 **Image available**
MANUFACTURING SEMICONDUCTOR DEVICE

PUB. NO.: 10-135152 A]
PUBLISHED: May 22, 1998 (19980522)
INVENTOR(s): YASUDA HIROYASU
TOGAMI TERUTOSHI
APPLICANT(s): NIPPON STEEL CORP [000665] (A Japanese Company or
Corporation), JP (Japan)
APPL. NO.: 08-303733 [JP 96303733]
FILED: October 29, 1996 (19961029)
INTL CLASS: [6] H01L-021/28; H01L-029/78; H01L-021/336
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);
R100 (ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To reduce the resistance of a gate electrode and suppress the thickness of a silicide layer by forming an insulating film on the side faces of the gate electrode made of an amorphous Si, high m.p. metal film on a semiconductor substrate, and silicide films on the surface layer of an impurity diffusion layer and that of the gate electrode.

SOLUTION: An amorphous Si film 4 is formed on an oxide film 3, the oxide film 3 and Si film 4 are machined to form a gate electrode, and a low concentration diffusion layer 7a is formed on the substrate 1 surface at both sides of the Si film 4. A deposited oxide film 5 is etched, leaving it only at the side faces of the oxide film 3 and Si film 4, thus forming gate side walls 5. A high concentration diffusion layer 7b is formed on the substrate 1 surface at both sides of the gate side walls 5, thus forming an impurity diffused layer 7. A Ti film 6 is deposited on the entire surface and heat treated, to form a Ti silicide layer 11 on the surface layer of the impurity diffused layer 7 and a Ti silicide layer 12 on the surface layer of the gate electrode 4.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開号

特開平10-135152

(43)公開日 平成10年(1998)5月22日

(51)Int.Cl.⁶
H 0 1 L 21/28
29/78
21/336

識別記号
3 0 1

F I
H 0 1 L 21/28
29/78

3 0 1 T
3 0 1 P

審査請求 未請求 請求項の数6 FD (全8頁)

(21)出願番号

特願平8-303733

(22)出願日

平成8年(1996)10月29日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 保田 広安

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

(72)発明者 戸上 黒敏

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

(74)代理人 弁理士 國分 孝悦

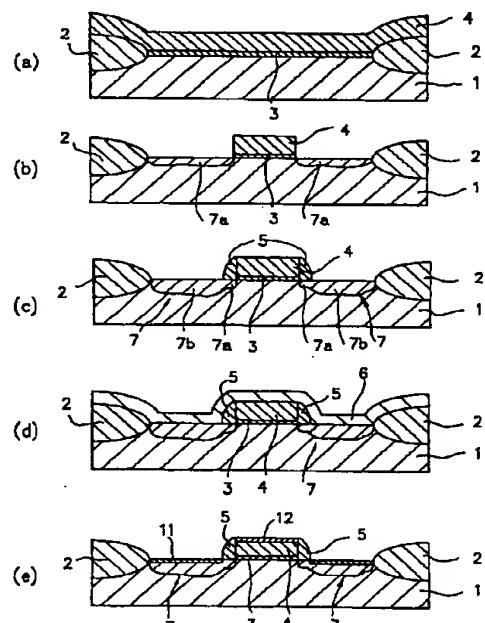
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ゲート電極の低抵抗化を達成するとともに、プロセス微細化にも対応してソース／ドレインのシリサイド層の膜厚を抑制する。

【解決手段】 ゲート酸化膜3上にCVD法によりアモルファスシリコン膜4を堆積形成し、ゲート酸化膜3及びアモルファスシリコン膜4をゲート電極形状に加工する。

【効果】 アモルファスシリコンは単結晶シリコンや多結晶シリコンに比してシリサイド化の促進が大きく、不純物拡散層7上には浅接合化に対応した薄いシリサイド層11が、アモルファスシリコン膜4上にはシリサイド層11より厚いシリサイド層12が形成される。



1

【特許請求の範囲】

【請求項1】 半導体基板上に、ゲート電極と、少なくとも前記ゲート電極の両側の前記半導体基板の表面領域に形成された不純物拡散層とを有する半導体装置の製造方法において、

前記半導体基板上に酸化膜を形成する第1の工程と、前記酸化膜上にアモルファスシリコン膜を形成する第2の工程と、

前記酸化膜及び前記アモルファスシリコン膜を、前記ゲート電極形状に加工する第3の工程と、

前記アモルファスシリコン膜からなる前記ゲート電極の側面に側壁絶縁膜を形成する第4の工程と、

前記第4の工程の後、前記半導体基板上に高融点金属膜を形成する第5の工程と、

前記第5の工程の後、前記不純物拡散層の少なくとも表層部と、前記ゲート電極の少なくとも表層部とのそれぞれにシリサイド層を形成する第6の工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第3の工程の後、前記第4の工程の前に、前記ゲート電極をマスクとして、少なくとも前記ゲート電極の両側の前記半導体装置の表面領域に不純物を導入して低濃度拡散層を形成する第7の工程と、

前記第4の工程の後、前記第5の工程の前に、前記ゲート電極及び前記側壁絶縁膜をマスクとして、少なくとも前記側壁絶縁膜の両側の前記半導体装置の表面領域に不純物を導入して、高濃度拡散層を形成し、この高濃度拡散層と前記低濃度拡散層とで前記不純物拡散層を構成する第8の工程とを更に有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 半導体基板上に、ゲート電極と、少なくとも前記ゲート電極の両側の前記半導体基板の表面領域に形成された不純物拡散層とを有する半導体装置の製造方法において、

前記半導体基板上に酸化膜を形成する第1の工程と、前記酸化膜上に多結晶シリコン膜を形成する第2の工程と、

前記多結晶シリコン膜の少なくとも表層部を変化させることにより、アモルファスシリコン層を形成する第3の工程と、

前記酸化膜、前記多結晶シリコン膜及び前記アモルファスシリコン層を、前記ゲート電極形状に加工する第4の工程と、

前記多結晶シリコン膜及び前記アモルファスシリコン層からなる前記ゲート電極の側面に側壁絶縁膜を形成する第5の工程と、

前記第5の工程の後、前記半導体基板上に高融点金属膜を形成する第6の工程と、

前記第6の工程の後、前記不純物拡散層の少なくとも表層部と、前記ゲート電極の少なくとも表層部とのそれぞれにシリサイド層を形成する第7の工程とを有すること

2

を特徴とする半導体装置の製造方法。

【請求項4】 前記第3の工程において、前記多結晶シリコン膜に高融点金属を注入することにより、前記アモルファスシリコン層を形成することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】 半導体基板上に、ゲート電極と、少なくとも前記ゲート電極の両側の前記半導体基板の表面領域に形成された不純物拡散層とを有する半導体装置の製造方法において、

前記半導体基板上に酸化膜を形成する第1の工程と、前記酸化膜上に多結晶シリコン膜を形成する第2の工程と、

前記多結晶シリコン膜上にアモルファスシリコン膜を形成する第3の工程と、

前記酸化膜、前記多結晶シリコン膜及び前記アモルファスシリコン膜を、前記ゲート電極形状に加工する第4の工程と、

前記多結晶シリコン膜及び前記アモルファスシリコン膜からなる前記ゲート電極の側面に側壁絶縁膜を形成する第5の工程と、

前記第5の工程の後、前記半導体基板上に高融点金属膜を形成する第6の工程と、

前記第6の工程の後、前記不純物拡散層の少なくとも表層部と、前記ゲート電極の少なくとも表層部とのそれぞれにシリサイド層を形成する第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 前記第4の工程の後、前記第5の工程の前に、前記ゲート電極をマスクとして、少なくとも前記ゲート電極の両側の前記半導体装置の表面領域に不純物を導入して低濃度拡散層を形成する第8の工程と、

前記第5の工程の後、前記第6の工程の前に、前記ゲート電極及び前記側壁絶縁膜をマスクとして、少なくとも前記側壁絶縁膜の両側の前記半導体装置の表面領域に不純物を導入して、高濃度拡散層を形成し、この高濃度拡散層と前記低濃度拡散層とで前記不純物拡散層を構成する第9の工程とを更に有することを特徴とする請求項3又は5のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に、サリサイドプロセスによりゲート電極をシリサイド化し、効果的にゲート電極の低抵抗化を達成する半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、半導体装置においては、高集積化とともに動作速度の高速化が求められている。従来の高速化への対応策としては、半導体素子の微細化の他に、一対の不純物拡散層であるソース／ドレイン拡散層およびゲート電極の表面にそれぞれシリサイド層を自己整合的に形成し、ソース／ドレイン拡散層及びゲート電極の

50

抵抗値を下げるこことによって半導体置素子の動作速度の高速化を図るサリサイド技術が用いられている。

【0003】具体的には、例えば図4に示すように、先ず、半導体基板21に熱酸化膜22を形成し(図4

(a))、多結晶シリコン膜23を堆積形成した後にこの多結晶シリコン膜23をゲート電極形状に加工する。続いて、ゲート電極23をマスクとして半導体基板1に不純物を導入してソース／ドレイン27を形成した後に、酸化膜によりゲート側壁24を形成する(図4

(b))。続いて、半導体基板21の全面に金属膜25を形成し(図4(c))、熱処理を施すことにより、ソース／ドレイン27の表層部及びゲート電極23の上面部をシリサイド化させて、各シリサイド層26を形成する。しかる後、ゲート側壁24上等に存する余分な金属膜25を除去する(図4(d))。

【0004】

【発明が解決しようとする課題】図4(a)～(d)に示したような工程で製造する従来のシリサイドプロセスでは、多結晶シリコンで形成されるゲート電極と単結晶シリコンで形成されるソース／ドレイン上に金属膜を形成した後、熱処理によりシリサイド化を行うので、ソース／ドレイン上とゲート電極上とのシリサイド層の膜厚が略同一となり、そのため、ゲート電極とソース／ドレインの抵抗が略同一となる。

【0005】半導体装置の更なる微細化を進める場合、ソース／ドレインの浅接合に対し、シリサイド層の膜厚をある程度以下にして、シリサイド層と半導体装置との界面をソース／ドレインの接合深さよりも浅くしなければ、リーク電流が発生するという問題がある。一方、ゲート電極については、シリサイド層の膜厚をできる限り厚くして、動作速度の確保及び向上を図るという要請がある。

【0006】本発明は上述の問題点に鑑み、厚膜のシリサイド層をゲート電極上に形成することによりゲート電極の低抵抗化を達成するとともに、プロセス微細化にも対応してソース／ドレインのシリサイド層の膜厚を抑制することのできる半導体装置の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の半導体装置の製造方法は、半導体基板上に、ゲート電極と、少なくとも前記ゲート電極の両側の前記半導体基板の表面領域に形成された不純物拡散層とを有する半導体装置の製造方法であって、前記半導体基板上に酸化膜を形成する第1の工程と、前記酸化膜上にアモルファスシリコン膜を形成する第2の工程と、前記酸化膜及び前記アモルファスシリコン膜を、前記ゲート電極形状に加工する第3の工程と、前記アモルファスシリコン膜からなる前記ゲート電極の側面に側壁絶縁膜を形成する第4の工程と、前記第4の工程の後、前記半導体基板上に高融点金属膜を形成

する第5の工程と、前記第5の工程の後、前記不純物拡散層の少なくとも表層部と、前記ゲート電極の少なくとも表層部とのそれぞれにシリサイド層を形成する第6の工程とを有する。

【0008】本発明の半導体装置の製造方法の一態様例は、前記第3の工程の後、前記第4の工程の前に、前記ゲート電極をマスクとして、少なくとも前記ゲート電極の両側の前記半導体装置の表面領域に不純物を導入して低濃度拡散層を形成する第7の工程と、前記第4の工程の後、前記第5の工程の前に、前記ゲート電極及び前記側壁絶縁膜をマスクとして、少なくとも前記側壁絶縁膜の両側の前記半導体装置の表面領域に不純物を導入して、高濃度拡散層を形成し、この高濃度拡散層と前記低濃度拡散層とで前記不純物拡散層を構成する第8の工程とを更に有する。

【0009】本発明の半導体装置の製造方法は、半導体基板上に、ゲート電極と、少なくとも前記ゲート電極の両側の前記半導体基板の表面領域に形成された不純物拡散層とを有する半導体装置の製造方法であって、前記半導体基板上に酸化膜を形成する第1の工程と、前記酸化膜上に多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜の少なくとも表層部を変化させることにより、アモルファスシリコン層を形成する第3の工程と、前記酸化膜、前記多結晶シリコン膜及び前記アモルファスシリコン層を、前記ゲート電極形状に加工する第4の工程と、前記多結晶シリコン膜及び前記アモルファスシリコン層からなる前記ゲート電極の側面に側壁絶縁膜を形成する第5の工程と、前記第5の工程の後、前記半導体基板上に高融点金属膜を形成する第6の工程と、前記第6の工程の後、前記不純物拡散層の少なくとも表層部と、前記ゲート電極の少なくとも表層部とのそれぞれにシリサイド層を形成する第7の工程とを有する。

【0010】本発明の半導体装置の製造方法の一態様例においては、前記第3の工程において、前記多結晶シリコン膜に高融点金属を注入することにより、前記アモルファスシリコン層を形成する。

【0011】本発明の半導体装置の製造方法は、半導体基板上に、ゲート電極と、少なくとも前記ゲート電極の両側の前記半導体基板の表面領域に形成された不純物拡散層とを有する半導体装置の製造方法であって、前記半導体基板上に酸化膜を形成する第1の工程と、前記酸化膜上に多結晶シリコン膜を形成する第2の工程と、前記多結晶シリコン膜上にアモルファスシリコン膜を形成する第3の工程と、前記酸化膜、前記多結晶シリコン膜及び前記アモルファスシリコン膜を、前記ゲート電極形状に加工する第4の工程と、前記多結晶シリコン膜及び前記アモルファスシリコン膜からなる前記ゲート電極の側面に側壁絶縁膜を形成する第5の工程と、前記第5の工程の後、前記半導体基板上に高融点金属膜を形成する第6の工程と、前記第6の工程の後、前記不純物拡散層の

少なくとも表層部と、前記ゲート電極の少なくとも表層部とのそれぞれにシリサイド層を形成する第7の工程とを有する。

【0012】本発明の半導体装置の製造方法の一態様例は、前記第4の工程の後、前記第5の工程の前に、前記ゲート電極をマスクとして、少なくとも前記ゲート電極の両側の前記半導体装置の表面領域に不純物を導入して低濃度拡散層を形成する第8の工程と、前記第5の工程の後、前記第6の工程の前に、前記ゲート電極及び前記側壁絶縁膜をマスクとして、少なくとも前記側壁絶縁膜の両側の前記半導体装置の表面領域に不純物を導入して、高濃度拡散層を形成し、この高濃度拡散層と前記低濃度拡散層とで前記不純物拡散層を構成する第9の工程とを更に有する。

【0013】

【作用】本発明の半導体装置の製造方法においては、ゲート電極の少なくとも上層部にアモルファスシリコン膜を形成する。このアモルファスシリコンは、単結晶シリコンや多結晶シリコンに比してシリサイデーションの促進が大きく、シリサイド化をした際に、単結晶シリコンからなる半導体基板に形成されたソース／ドレインとなる不純物拡散層の表層部には不純物拡散層の浅接合化に対応した薄いシリサイド層が形成されるとともに、アモルファスシリコン膜の表層部には不純物拡散層のシリサイド層に比して厚いシリサイド層が形成される。従って、P-N接合に起因するリーク電流を抑制することができるとともに、ゲート電極の低抵抗化が可能となる。

【0014】

【発明の実施の形態】以下に、本発明の半導体装置のいくつかの具体的な実施の形態について図1～図3を用いて説明する。この実施の形態においては、半導体装置としてシリサイド構造のMOSトランジスタについて例示する。

【0015】（第1の実施の形態）先ず、第1の実施の形態について説明する。図1は、この第1の実施の形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。

【0016】先ず、シリコン半導体基板1上に素子分離構造として例えばLOCOS法によりフィールド酸化膜2を形成して素子形成領域を画定する。

【0017】続いて、900℃～930℃、H₂：O₂=4：3の条件で膜厚50Å～200Å程度の酸化膜3を熱酸化法により形成し、酸化膜3上にPH₃：SiH₄=1：1のシラン雰囲気中、450℃～500℃の条件下で化学気相成長法（CVD法）により膜厚100Å～3000Å程度のアモルファスシリコン膜4を堆積形成する（図1（a））。

【0018】次いで、パターニング技術により、酸化膜3及びアモルファスシリコン膜4をゲート電極形状に加工する（図1（b））。

【0019】続いて、ゲート電極形状とされたアモルファスシリコン膜4（以下、ゲート電極4と記す。）をマスクとして、このアモルファスシリコン膜4の両側のシリコン半導体基板1の表面領域にシリコン半導体基板1と反対導電型の不純物をイオン注入して低濃度拡散層7aを形成する。

【0020】次いで、酸化膜5をCVD法により680℃で膜厚1500Å～3000Å程度に堆積形成させた後、この酸化膜5を異方性エッチングして、酸化膜3及びアモルファスシリコン膜4の側面のみに酸化膜5を残してゲート側壁（以下、ゲート側壁5と記す。）を形成する（図1（c））。

【0021】続いて、ゲート電極4及びゲート側壁5をマスクとして、このゲート側壁5の両側のシリコン半導体基板1の表面領域にシリコン半導体基板1と反対導電型の不純物をイオン注入して高濃度拡散層7bを形成し、熱処理を施すことにより低濃度拡散層7aと高濃度拡散層7bとで不純物拡散層7とする。

【0022】次いで、スパッタ法により、全面に高融点金属膜であるチタン（Ti）膜6を膜厚300Å～500Å程度に堆積形成する（図1（d））。

【0023】次いで、500℃～900℃、5秒～60秒の熱処理によりシリコン半導体基板1の各不純物拡散層7及びゲート電極4とTi膜6とを反応させて、各不純物拡散層7の表層部にチタンシリサイド層11を、ゲート電極4の表層部にチタンシリサイド層12をそれぞれ形成する。しかる後、未反応のTi膜6をウエットエッチングにより除去する（図1（e））。

【0024】この第1の実施の形態においては、ゲート電極として機能するアモルファスシリコン膜4を形成するが、このアモルファスシリコンは、単結晶シリコンや多結晶シリコンに比してシリサイデーションの促進が大きく、シリサイド化をした際に、単結晶シリコンからなるシリサイド半導体基板1に形成されたソース／ドレインとなる不純物拡散層7の表層部には不純物拡散層7の浅接合化に対応した薄いシリサイド層11が形成されるとともに、ゲート電極4の表層部には不純物拡散層7のシリサイド層11に比して厚いシリサイド層12が形成される。従って、P-N接合に起因するリーク電流を抑制することができるとともに、ゲート電極4の低抵抗化が可能となる。

【0025】（第2の実施の形態）次に、第2の実施の形態について説明する。図2は、この第2の実施の形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。なお、図2において、図1に示した構成要素等と同一のものについては同符号を示して説明を省略する。

【0026】先ず、第1の実施の形態の場合と同様に、シリコン半導体基板1上にフィールド酸化膜2、酸化膜3を順次形成した後に、酸化膜3上にCVD法により5

80°Cで膜厚1000Å～3000Å程度の多結晶シリコン膜21を堆積形成する。

【0027】続いて、多結晶シリコン膜21に対し、チタン(Ti)等の高融点金属を50keV～100keVの加速エネルギーで注入し、少なくとも多結晶シリコン膜21の表層部をアモルファスシリコン膜22に変化させる(図2(a))。

【0028】次いで、パターニング技術により、酸化膜3、残存した多結晶シリコン膜21及びアモルファスシリコン膜22をゲート電極形状に加工する(図2(b))。即ち、多結晶シリコン膜21とアモルファスシリコン膜22によりゲート電極が形成されることになる。

【0029】続いて、ゲート電極形状とされたアモルファスシリコン膜22をマスクとして、このアモルファスシリコン膜22の両側のシリコン半導体基板1の表面領域にシリコン半導体基板1と反対導電型の不純物をイオン注入して低濃度拡散層7aを形成する。

【0030】次いで、酸化膜5をCVD法により680°Cで膜厚1500Å～3000Å程度に堆積形成させた後、この酸化膜5を異方性エッチングして、酸化膜3、多結晶シリコン膜21及びアモルファスシリコン膜22の側面のみに酸化膜5を残してゲート側壁(以下、ゲート側壁5と記す。)を形成する(図2(c))。

【0031】続いて、アモルファスシリコン膜22及びゲート側壁5をマスクとして、このゲート側壁5の両側のシリコン半導体基板1の表面領域にシリコン半導体基板1と反対導電型の不純物をイオン注入して高濃度拡散層7bを形成し、熱処理を施すことにより低濃度拡散層7aと高濃度拡散層7bとで不純物拡散層7とする。

【0032】次いで、スパッタ法により、全面に高融点金属膜であるチタン(Ti)膜6を膜厚300Å～500Å程度に堆積形成する(図2(d))。

【0033】次いで、500°C～900°C、5秒～60秒の熱処理によりシリコン半導体基板1の各不純物拡散層7及びアモルファスシリコン膜22とTi膜6とを反応させて、各不純物拡散層7の表層部にチタンシリサイド層11を、アモルファスシリコン膜22の表層部にチタンシリサイド層12をそれぞれ形成する。しかる後、未反応のTi膜6をウエットエッチングにより除去する(図2(e))。

【0034】この第2の実施の形態においては、ゲート電極の一部として多結晶シリコン膜21の上層部にアモルファスシリコン膜22を形成するが、このアモルファスシリコンは、単結晶シリコンや多結晶シリコンに比してシリサイデーションの促進が大きく、シリサイド化をした際に、単結晶シリコンからなるシリサイド半導体基板1に形成されたソース／ドレインとなる不純物拡散層7の表層部には不純物拡散層7の浅接合化に対応した薄いシリサイド層11が形成されるとともに、アモルファ

スシリコン膜22の表層部には不純物拡散層7のシリサイド層11に比して厚いシリサイド層12が形成される。従って、P-N接合に起因するリーク電流を抑制することができるとともに、ゲート電極の低抵抗化が可能となる。

【0035】(第3の実施の形態) 次に、第3の実施の形態について説明する。図3は、この第3の実施の形態によるMOSトランジスタの製造方法を工程順に示す概略断面図である。なお、図3において、図1及び図2に示した構成要素等と同一のものについては同符号を示して説明を省略する。

【0036】先ず、第1の実施の形態の場合と同様に、シリコン半導体基板1上にフィールド酸化膜2、酸化膜3を順次形成した後に、酸化膜3上にCVD法により580°Cで膜厚1000Å～2000Å程度の多結晶シリコン膜21を堆積形成する。

【0037】続いて、多結晶シリコン膜21上に低圧CVD法により530°C～550°Cで膜厚1000Å～2000Å程度のアモルファスシリコン膜22を堆積形成する(図3(a))。

【0038】次いで、パターニング技術により、酸化膜3、多結晶シリコン膜21及びアモルファスシリコン膜22をゲート電極形状に加工する(図3(b))。即ち、多結晶シリコン膜21とアモルファスシリコン膜22によりゲート電極が形成されることになる。

【0039】続いて、ゲート電極形状とされたアモルファスシリコン膜22をマスクとして、このアモルファスシリコン膜22の両側のシリコン半導体基板1の表面領域にシリコン半導体基板1と反対導電型の不純物をイオン注入して低濃度拡散層7aを形成する。

【0040】次いで、酸化膜5をCVD法により680°Cで膜厚1500Å～3000Å程度に堆積形成させた後、この酸化膜5を異方性エッチングして、酸化膜3、多結晶シリコン膜21及びアモルファスシリコン膜22の側面のみに酸化膜5を残してゲート側壁(以下、ゲート側壁5と記す。)を形成する(図3(c))。

【0041】続いて、アモルファスシリコン膜22及びゲート側壁5をマスクとして、このゲート側壁5の両側のシリコン半導体基板1の表面領域にシリコン半導体基板1と反対導電型の不純物をイオン注入して高濃度拡散層7bを形成し、熱処理を施すことにより低濃度拡散層7aと高濃度拡散層7bとで不純物拡散層7とする。

【0042】次いで、スパッタ法により、全面に高融点金属膜であるチタン(Ti)膜6を膜厚300Å～500Å程度に堆積形成する(図3(d))。

【0043】次いで、500°C～900°C、5秒～60秒の熱処理によりシリコン半導体基板1の各不純物拡散層7及びアモルファスシリコン膜22とTi膜6とを反応させて、各不純物拡散層7の表層部にチタンシリサイド層11を、アモルファスシリコン膜22の表層部にチ

タンシリサイド層12をそれぞれ形成する。しかる後、未反応のTi膜6をウェットエッティングにより除去する(図3(e))。

【0044】この第3の実施の形態においては、ゲート電極の一部として多結晶シリコン膜21の上層部にアモルファスシリコン膜22を形成するが、このアモルファスシリコンは、単結晶シリコンや多結晶シリコンに比してシリサイデーションの促進が大きく、サリサイド化をした際に、単結晶シリコンからなるシリサイド半導体基板1に形成されたソース／ドレインとなる不純物拡散層7の表層部には不純物拡散層7の浅接合化に対応した薄いシリサイド層11が形成されるとともに、アモルファスシリコン膜22の表層部には不純物拡散層7のシリサイド層11に比して厚いシリサイド層12が形成される。従って、P-N接合に起因するリーク電流を抑制することができるとともに、ゲート電極の低抵抗化が可能となる。

【0045】なお、第1～第3の実施の形態においては、シリサイド層11、12を形成するための高融点金属としてTiを用いたが、このTiの代わりにMo、W、Ta、Co等の高融点金属を用いても好適である。

【0046】

【発明の効果】本発明の半導体装置の製造方法によれば、厚膜のシリサイド層をゲート電極上に形成すること

によりゲート電極の低抵抗化を達成するとともに、プロセス微細化にも対応してソース／ドレインのシリサイド層の膜厚を抑制することが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図2】本発明の第2の実施の形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

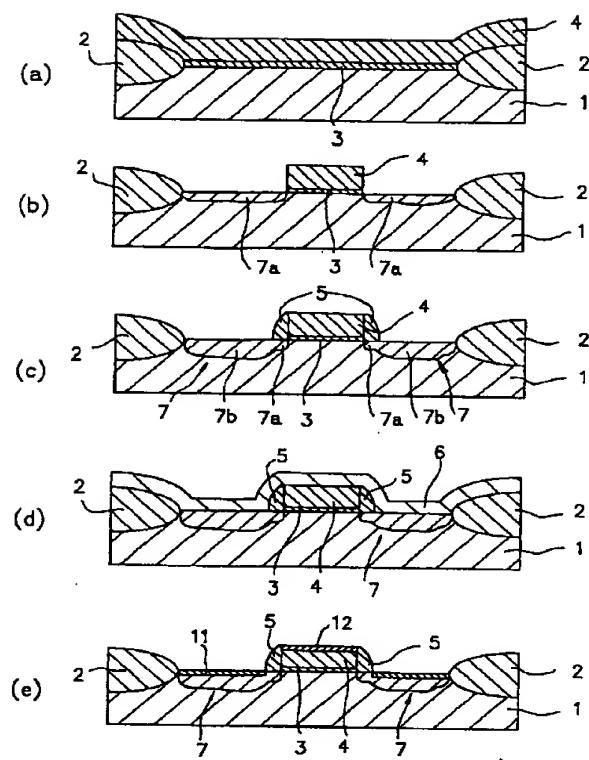
【図3】本発明の第3の実施の形態のMOSトランジスタの製造方法を工程順に示す概略断面図である。

【図4】従来のサリサイド構造を有するMOSトランジスタの製造方法を工程順に示す概略断面図である。

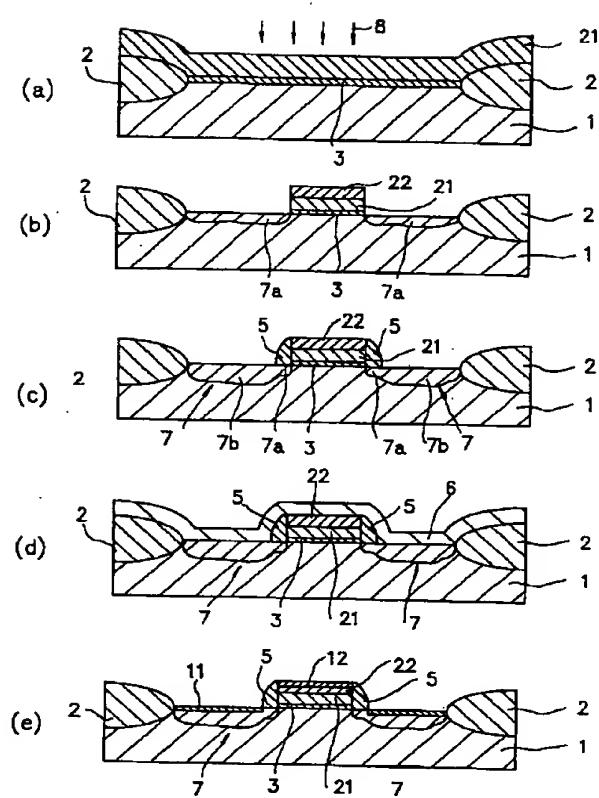
【符号の説明】

- 1 シリコン半導体基板
- 2 フィールド酸化膜
- 3 酸化膜
- 4 アモルファスシリコン膜(ゲート電極)
- 5 ゲート側壁
- 6 Ti膜
- 7 不純物拡散層
- 11, 12 シリサイド層
- 21 多結晶シリコン膜
- 22 アモルファスシリコン膜

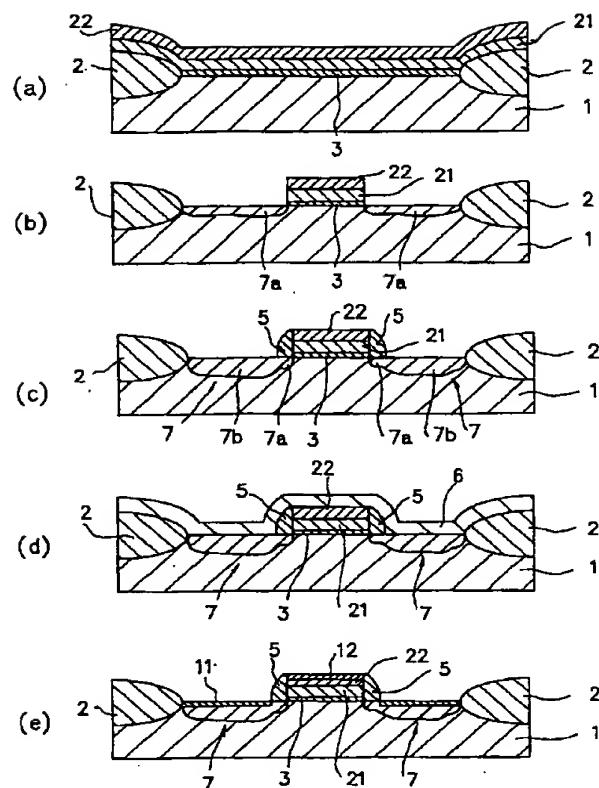
【図1】



【図2】



【図3】



【図4】

